IRS-based Readout Schedule

Key Points – 2-stage development to completion:

- 1. Intermediate development stage (Autumn 2013):
 - qualify single-stage amplifier (nominal PMT gain)
 - improved timebase stability & feedback
 - Prototype near-final electro-mechanical-optical configuration
- 2. Final system design (Winter 2013):
 - Final IRSX ASIC
 - Final SCROD (FPGA on board stack sparsification)
 - Final opto-mechanics, cooling & cabling.
- → Complete all testing for nominal HV operation this autumn
- → Pre-production available for final CRT, beam test early 2014
- ➔ Production thereafter operate on production modules

Intermediate Prototype Development

GSV/MZA/BK									
	16-Sep-13	23-Sep-13	30-Sep-13	7-Oct-13	14-Oct-13	21-Oct-13	28-Oct-13	4-Nov-13	11-Nov-13
Ready									
Fab/Assy									
Ready									
Ready									
Design									
Fab/Assy									
Ready									
Ready									
Ready									
Design									
Fab/Assy									
Ready									
Design									
Fab/Assy									
Ready									
Design									
Fab/Assy									
	Ready Fab/Assy Ready Design Fab/Assy Ready Ready Ready Design Fab/Assy Ready Design Fab/Assy Ready Design Fab/Assy Ready Design	Indext state16-Sep-1316-Sep-13ReadyFab/AssyReadyReadyDesignFab/AssyReadyReadyReadyReadyReadyReadyReadyReadyReadyReadyDesignFab/AssyReadyDesignFab/AssyReadyDesignFab/AssyReadyDesignFab/AssyReadyDesignFab/AssyReadyDesignFab/AssyReadyDesign	Ide-Sep-1323-Sep-1316-Sep-1323-Sep-13Ready-Fab/Assy-Ready-Ready-Pab/Assy-Ready-Pab/Assy-Ready-Ready-Pab/Assy-Ready-Pab/Assy-Ready-Pab/Assy-Ready-Ready-Posign-Fab/Assy-Ready-Design-Fab/Assy-Ready-Pab/Assy-Ready-Design-Fab/Assy-Fab/Assy-Pab/	Image: section of the section of th	Image: section of the section of th	Initial <t< th=""><th>Index</th><th>Index </br></br></br></br></br></br></br></br></br></br></br></br></br></br></br></br></br></th><th>Index </th></t<>	Index	Index 	Index

• **Demonstrate improvements:**

- Improved Single Stage amplifier (x4 gain, x2 risetime)
- Increased stability timebase feedback logic
- Reduced noise timebase control

Pre-Production Prototypes

l																		
IRS-based iTOP Readout	GSV/MZA/BK	<u>, </u>	<u>↓ </u>	· ['														
Schedule to Completion	ļ!	()	<u> </u>	('				<u> </u> '	ļ'	'		'	ļ'		ļ!	ļ!		
Updated 16-SEP-2013		16-Sep-13	23-Sep-13	21-0ct-13	28-0ct-13	4-Nov-13	11-Nov-13	18-Nov-13	25-Nov-13	2-Dec-13	9-Dec-13	16-Dec-13	23-Dec-13	30-Dec-13	6-Jan-14	13-Jan-14	20-Jan-14	27-Jan-14
Pre-Production Board Stack																		
Integration / Test														· · · · ·				
IRSX	, <u> </u>			· · · · · ·														
IRSX Design Review (27-SEP-2013)	Design																	
	Fabrication		/															
	Evaluation		1	[('				· · · · · · · · · · · · · · · · · · ·						
Interconnect, Rev. D	/ Ready		1															
	Design						′											
	Fabrication			7														
2-stage amp prototype	Ready			· · · · ·		[
	Fabrication		· · · · · · · · · · · · · · · · · · ·	[]														
	Evaluation																	
Final FPGA Evaluation	Trade study			J														
	Review																	
Carrier 02, Rev. D	Ready			1			1		-				1		,,			(
	Design	· · · · · ·	1	1														1
	Fab/Assy		1	1														
Carrier 13, Rev. D		[]	1	1			/	1	· · · · · · · · · · · · · · · · · · ·				1	1			[]	(
	Design	· · · · · ·	1	1											· · · · · ·			
	Fab/Assy		1	1					-				1		1		1	(
	Evaluation	[]	1	1				1	· · · · · · · · · · · · · · · · · · ·		1					1		(
SCROD Rev B	Ready		1	1														
	Design	[]	1											1				1
	Fab/Assy	[]	/	1										1	1	1	1	1
Thermo-mechanics		[]	· · · · · · · · · · · · · · · · · · ·	1				,				,			1			(
	Design	[]	· · · · · · · · · · · · · · · · · · ·	1										f	1			(
	Fab/Assy	[]	· · · · · · · · · · · · · · · · · · ·	T				,										
1	(· · · · · · · · · · · · · · · · · · ·	[]	· · · · · · · · · · · · · · · · · · ·	1									1		1	()	1	(
1			· · · · · ·															
		16 Con-12	22 Sep.12	21 Oct-12	29 Oct-12	4 Nov-12	11 Nov-12	3 18-Nov-13	2E Nov-12	2 Dec-12	9 Dec-12	16 Dec-12	22 Dec-12	20 Dec-12	6 Jan-14	12 Jan-14	20 Jan-14	27 Jan-14
1		16-Sep-15	23-5ep-15	21-001-15	28-001-15	4-1101-15	11-000-15	18-1404-12	25-W0V-15	Z-Dec-15	3-Dec-12	16-Det-15	Z3-Det-15	30-Det-15	6-Jan-14	13-Jan-14	20-Jan-14	27-Jan-14
			. 1	4														

• Final Configuration:

- 2-Stage amplifier (5x10^5 gain operation)
- ➢ Final ASIC (IRSX)
- Final SCROD with production FPGA (demonstrate can use HSLB)